

米IntelがReRAMの研究に着手 本命メモリーPRAMの“保険”に

動作メカニズム解明に向けた会合を開催

米Intel Corp.がポスト・フラッシュ時代を見据え、新たな不揮発性メモリーReRAM (Resistive RAM) に触手を伸ばした。ReRAMは、記憶素子に電界を印加した際に生ずる巨大な抵抗変化を利用するメモリーである。2002年にシャープが「RRAM」^{注1)}、2004年に韓国Samsung Electronics Co.,Ltd.が「OxRRAM」^{注2)}をそれぞれ発表して以来、注目を集めている。

Intelは、ReRAMの研究でリードする世界の五つのグループを集めて、「Symposium on resistive switch memory device benchmarking」と題する会合を米国カリフォルニア州サンタクララの本社で2005年7月に開催した。動作メカニズムに関する意見交換を行うためである。同社が新型不揮発性メモリーのためのこうした会合を行うのは「今回が初めて」(米Intel Corp. Technology & Manufacturing Group, Vice PresidentのStefan K. Lai氏)である。これま

で未知だった動作メカニズムの検証が進み始めたことから、ReRAMを有力な候補の一つとして開発に向けた検討を始めたと思われる。

32nm以降に向け検討

現在、Intelが携帯電話機などに向け量産しているNOR型フラッシュは、2010年頃に量産開始予定の32nm (hp45) 世代以降にいくつかの問題にぶつかる可能性が指摘されている^{注3)}。今回の会合で同社は、32nm世代までは微細化の道筋が見えているが、その先は不透明との見方を改めて示した^{注4)}。

同社は数年前から、NOR型に代わる不揮発性メモリーの開発に取り組んできた。ポスト・フラッシュ世代の新型不揮発として、PRAM (phase change RAM) を最有力と位置づけ、2002年には最初の学会発表をした^{注5)}。今後もPRAMを最有力視する方針は変えないが、

注1) Zhuang, W.W.など、2002 ISSM Technical Digest, pp.193-196, Dec.2002.

注2) Baek, I.G.など、2004 ISSM Technical Digest, pp.597-599, Dec.2004.

注3) ゲート絶縁膜からのリーク電流の増大や接続する浮遊ゲート間の容量結合などである。

注4) 本誌が2005年2月に開催した「第3回半導体メモリー・シンポジウム」でも、Lai氏は同様の見方を示している。本誌2005年4月号, pp.54-55の「フラッシュにコストで挑む」を参照。

注5) 本誌2005年4月号, pp.54-55を参照。カルコゲナイド (Ge₂Sb₂Te) 膜の状態による結晶状態の変化を利用するメモリー。

図1 ● ReRAMの動作メカニズム解明のためのSymposiumを開催
Intelの不揮発性メモリーの開発ロードマップ。32nm (hp45) 世代以降のポスト・フラッシュ・メモリーの最有力と位置づけるPRAMに加えて、ReRAMも新たな研究対象とする。写真は米Intel Corp.が提供。他は本誌が作成。



ReRAMを「PRAMの予備」(IntelのLai氏)のメモリーとして研究に取り組む。

4F²や4ビット/セル以上が可能

ReRAMをPRAMの“保険”となるメモリーとして選んだ理由を、同社は今回の会合で明らかにした。その理由とは、同社が新型不揮発性メモリーに求める四つの要件をReRAMが満たす可能性が出てきたことである。その要件とは、(1) 32nm以降の微細化が可能でその阻害要因が少ないこと、(2) 動作メカニズムが既知でメモリー効果に再現性があること、(3) 繰り返し可能な動作回数が多いこと、(4) NOR型フラッシュの6F²(Fは設計ルール)やPRAMで実現可能と同社が見積もる6.5F²以下のセル面積が可能なことである。特に、これらのうち従来ReRAMのネックだった(2)を満たす可能性が出てきたことが直接のキッカケになった^{注6)}。

ReRAMは、4F²を下回るセル面積や4ビット/セル以上の多値化が原理的に可能であることから、多くのメモリー・メーカーにとって「最も気になる新型不揮発」(複数のメモリー技術者)といえる。その一方、この新型には最大のネックがある。記憶素子に電界をかけた場合に抵抗値が大きく変化するメカニズムを、まだ解明できていない点である。動作メカニズムが分からないために、Intelは過去にReRAMを次世代不揮発の候補から外した経緯がある。

ネックの動作メカニズムの検証が進む

ところがここに来て、ReRAMの動作メカニズムについて「研究者の間で見解が一致しつつある」(会合に参加した東北大学 金属材料研究所 教授で産業技術総合研究所 強相関電子技術研究センター 強相関超構造チーム チーム長の川崎雅司氏) 状況になってきた。

ReRAMでは記憶素子にPr_{0.7}Ca_{0.3}MnO₃(PCMO)のような強相関電子系材料を使う。これらの材料は、電界誘起巨大抵抗変化(colos-

	Intelの要求基準	ReRAM	PRAM	NOR型フラッシュ
セル面積 (F ²)	6.5以下	4以下	6以下	1/3
動作メカニズム	既知で特性に再現性がある	検証進入だが未解明	既知	既知
高集積化の目的	微細化の阻害要因が少ない	リングラフィ、界面制御	リングラフィ、電流密度	リングラフィ、セル間容量結合、トンネルバリア電流
多値化	フラッシュと同様以上が可能	4ビット/セルが可能	2ビット/セルが可能	2ビット/セルを製品化済み

図2 動作メカニズムが分かれば誰が買けるReRAM
Intelが2005年7月に本社で開催した会合で明らかにした、新型不揮発性メモリーへの要求基準と、候補となる二つのメモリーの可能性および開発状況。PRAMのセル面積について、同社は現時点で6.5F²前後が可能と見る。背景色の濃い項目は要求を満たす。なお、MRAM (magnetoresistive RAM) で実現可能なセル面積は40F²、FeRAM (ferromagnetic RAM) は25F²との同社の見積もりから、両者を候補から外している。本誌が作成。

sal electro resistance : CER) と呼ぶ効果を示し、これが記憶素子の抵抗値を大きく変える。このCER効果に対しては、膜自体の性質によるという意見と、膜と電極の界面状態に基づくという意見の二つがあった。2004-2005年のSamsungや産業技術総合研究所(産総研)のグループらの評価を解析^{注7)}によって、「前者の意見を主張していたグループが、後者の意見に転向し始めた」(東北大学の川崎氏)と云う^{注8)}。

世界から5グループ、日本からは産総研が参加

今回の会合に参加したのは、米University of Houstonの二つのグループ、米Carnegie Mellon University、独RWTH Aachen University of Technology、そして産総研 強相関電子技術研究センターのグループである^{注9)}。

Intel側からは、同社のメモリー事業を統括するLai氏のほか、新型不揮発性メモリーの開発グループのメンバーなど合わせて約10名が参加した。会合では、ReRAMの動作メカニズムに関する最新の研究成果の発表が行われた。今回の会合は「たいへん有益だった」(Lai氏)としており、同社は今後もこのような会合を随時開催していく意向である。(大下 淳一) ■

注6) Intelが研究に着手した背景には、ReRAMを比較的簡単なプロセスを使い低コストで実現できる可能性が出てきたこともあるようだ。例えばSamsungは「2004 IEDM」で、ごく一般的な金属酸化物で、CMOSプロセスとの相性も良いNiO膜を材料とするReRAM素子が大きな抵抗変化を示すことを明らかにしている。

注7) 本誌2005年4月号、pp.42-53を参照。

注8) 主な根拠は、電極材料を変えたり電界の印加方向を変えたりすると抵抗変化の様子が大きく変わる事実である。今回の会合では、PCMO膜を使うReRAM素子では、PCMO膜と電極の界面でのO原子の拡散現象が抵抗変化に関与しているのではないかと、この見方が新たに提示されたという。

注9) 今回の会合に参加したReRAMの研究者は以下の通り。米University of HoustonからYu-Yi Xue氏、PCMO膜のCER効果に関する研究の第一人者であるNex Ignatiev氏、米Carnegie Mellon UniversityからJim Bain氏、独RWTH Aachen University of TechnologyからRainer Wasser氏、そして産総研から川崎雅司氏である。